

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SEONG MOK CHO, ET AL.

Application No.:

Filed:

For: **PHASE CHANGE MEMORY
ELEMENT CAPABLE OF LOW
POWER OPERATION AND
METHOD OF FABRICATING THE**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	2003-23213	12 April 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 12/15/07

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0023213
Application Number

출원 년 월 일 : 2003년 04월 12일
Date of Application
APR 12, 2003

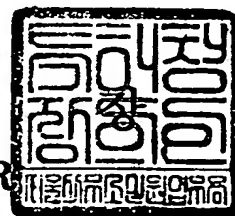
출원인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Institute



2003 년 05 월 28 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.04.12
【국제특허분류】	H01L
【발명의 명칭】	저 전력 동작이 가능한 상변화 메모리 소자 및 그 제조 방법
【발명의 영문명칭】	Phase change memory element capable of low power operation and method for fabricating the same
【출원인】	
【명칭】	한국전자통신연구원
【출원인코드】	3-1998-007763-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2001-038378-6
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2001-038396-8
【발명자】	
【성명의 국문표기】	조성목
【성명의 영문표기】	CHO, Seong Mok
【주민등록번호】	691008-1674711
【우편번호】	305-350
【주소】	대전광역시 유성구 가정동 236-1 기숙사 신관 237호
【국적】	KR
【발명자】	
【성명의 국문표기】	류상욱
【성명의 영문표기】	RYU, Sang Ouk
【주민등록번호】	680130-1690826

【우편번호】	302-750
【주소】	대전광역시 서구 월평2동 무지개아파트 105동 903호
【국적】	KR
【발명자】	
【성명의 국문표기】	유인규
【성명의 영문표기】	YOU, In Kyu
【주민등록번호】	630121-1009718
【우편번호】	305-729
【주소】	대전광역시 유성구 전민동 청구나래아파트 103동 1406호
【국적】	KR
【발명자】	
【성명의 국문표기】	윤성민
【성명의 영문표기】	Y00N, Sung Min
【주민등록번호】	700905-1037825
【우편번호】	302-170
【주소】	대전광역시 서구 갈마동 336-2 영주빌라 203호
【국적】	KR
【발명자】	
【성명의 국문표기】	김귀동
【성명의 영문표기】	KIM, Kwi Dong
【주민등록번호】	600622-1114411
【우편번호】	306-776
【주소】	대전광역시 대덕구 송촌동 선비마을2단지 204동 701호
【국적】	KR
【발명자】	
【성명의 국문표기】	이남열
【성명의 영문표기】	LEE, Nam Yea l
【주민등록번호】	730817-1233716
【우편번호】	305-805
【주소】	대전광역시 유성구 신성동 210-36 202호
【국적】	KR

【발명자】**【성명의 국문표기】**

유병곤

【성명의 영문표기】

YU, Byoung Gon

【주민등록번호】

570418-1797911

【우편번호】

305-761

【주소】

대전광역시 유성구 전민동 엑스포아파트 306동 404호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
이영필 (인) 대리인
이해영 (인)

【수수료】**【기본출원료】**

19 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

5 항 269,000 원

【합계】

298,000 원

【감면사유】

정부출연연구기관

【감면후 수수료】

149,000 원

【기술이전】**【기술양도】**

희망

【실시권 허여】

희망

【기술지도】

희망

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

저 전력 동작이 가능한 상 변화 메모리 소자 및 그 제조 방법을 제공한다. 본 발명의 일 관점에 따른 상변화 메모리 소자는 가열층으로 사용되는 제1전극과, 제1전극과 측 방향으로 대향되는 제2전극, 및 제1전극과 제2전극의 사이에 도입되고 적어도 제1전극의 측면에 접촉하는 상변화 물질로 이루어진 메모리층을 포함하여 구성된다.

【대표도】

도 7b

【명세서】**【발명의 명칭】**

저 전력 동작이 가능한 상변화 메모리 소자 및 그 제조 방법{Phase change memory element capable of low power operation and method for fabricating the same}

【도면의 간단한 설명】

도 1a 및 도 1b, 도 2a 및 도 2b, 도 3a 및 도 3b, 도 4, 도 5a 및 도 5b, 도 6, 도 7a 및 도 7b는 본 발명의 제1실시예에 의한 상변화 메모리 소자 및 그 제조 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

도 8a 및 도 8b는 본 발명의 제2실시예에 의한 상변화 메모리 소자 및 그 제조 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 메모리 소자에 관한 것으로, 특히, 상변화 특성을 이용한 상변화 메모리 소자(phase change memory element) 및 그 제조 방법에 관한 것이다.

<4> 상변화 메모리 소자란 특정 재료의 결정상(crystalline phase)과 비결정상(amorphous phase)의 전기적인 전도성 차이를 이용하여 정보를 저장하는 메모리 소자를 의미한다. 상변화 메모리 장치(device)는 어드레싱(addressing) 및 읽기/쓰기(read/write) 구동을 위한 트랜지스터(transistor) 소자 또는 다이오드(diode) 소자가 반도체 기판 상에 구비되고, 이러한 소자들과 전기적으로 상변화 영역이 연결되어 구성

된다. 상변화에 따른 전도성 차이를 이용하여 정보를 저장하므로, 상변화 영역을 포함하여 구성되는 상변화 메모리 소자(element) 부분에 실질적으로 데이터가 저장되게 된다.

<5> 상변화 메모리 장치의 동작을 살펴보면 트랜지스터 또는 다이오드를 통해 흐르는 전류가 상변화 영역을 전기적으로 가열하고, 이를 통해 상변화 물질의 구조가 결정상과 비결정상으로 가역적으로 변환되어 정보가 저장되고, 저장된 정보는 상변화 영역에 상대적으로 낮은 전류를 흘려 상변화 물질의 저항을 측정하여 판독된다.

<6> 지금까지의 상변화 메모리 소자의 구현에 있어서 가장 큰 기술적인 문제는 쓰기 동작, 특히, 결정상을 비결정상으로 변화시키는 리셋(reset) 동작이 상변화 재료의 융점 이상의 가열을 필요로 하기 때문에, 동작에 필요한 전력 소모가 지나치게 크다는 점이다. 이러한 문제는 상변화 메모리 소자를 구동하는 트랜지스터 소자의 크기가 작아질수록 트랜지스터 소자를 통해 상변화 메모리 소자에 전달되어질 수 있는 전력의 크기가 작아진다는 점과 결부되어 전체 상변화 메모리 장치의 집적화를 제약하고 있는 가장 심각한 문제이다.

<7> 상변화 메모리 소자의 저 전력 구동이 가능하기 위해서는 소자에서 상변화를 하는 영역의 부피를 최소한으로 줄여야 하며 또한 상변화 영역의 열적 절연 상태를 개선하여야 한다. 이런 방향에서 지금까지 상변화 소자의 저 전력 구동을 위한 여러 가지 소자 구조가 제안되어져 왔다.

<8> 예를 들어, 미국 특허 제5,933,365호(Patric Klersy 등에 의한 "Memory

element with energy control mechanism", 1999년 8월 3일 등록)에서는 가열층(heating layer)의 역할을 하는 하부 전극과 메모리층, 즉, 상변화층이 콘택홀(contact hole) 내에서 접촉하게 된다. 따라서, 콘택홀의 바닥에서 실질적으로 상변화층과 하부 전극이 접촉하고 이러한 접촉 부위에서 상변화가 일어난다. 이러한 소자의 구조에서는 비록 상변화 영역의 부피를 줄일 수 있으나, 상변화 영역의 부피는 궁극적으로 콘택홀을 형성하기 위한 포토리소그래피(photo lithography) 공정의 해상도에 의해 제약을 받게된다. 따라서, 고집화된 메모리 소자로 제조될 경우에는 소자의 전력 소모는 여전히 문제가 될 수 있다.

<9> 또한, 미국 특허 제5,687,112호(Stanford R. Ovshinsky 등에 의한 "Multibit single cell memory element having tapered contact", 1997년 11월 11일 등록)에서는 상변화 영역을 줄이기 위해서 경사진 콘택 팁(tapered contact tip)을 만들고, 콘택 팁의 뾰족한 부위와 메모리층, 상변화층이 접촉하도록 하는 구조를 제시하고 있다. 그럼에도 불구하고, 이러한 구조의 경우 접촉 면적의 미세한 변화에도 상변화 영역의 부피가 극심하게 변화될 수 있어 소자 특성의 균일도를 확보하는 것이 매우 어려울 수 있다.

<10> 따라서, 여전히 제조 상의 균일도와 재현성이 보장되며 저 전력으로 구동하는 것이 가능한 안정적인 구조의 상변화 메모리 소자의 개발이 요구되고 있다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명이 이루고자 하는 기술적 과제는, 저 전력 구동이 가능하고 제조 공정이 간단하여 재현성에 있어서의 균일도 향상을 구현할 수 있는 상변화 메모리 소자 및 그 제조 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <12> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 관점은, 상변화 영역의 부피를 최소화하고 균일도를 향상한 상변화 메모리 소자를 제공한다. 상기 상변화 메모리 소자는 가열층으로 사용되는 제1전극과, 상기 제1전극과 측방향으로 대향되는 제2전극, 및 상기 제1전극과 상기 제2전극의 사이에 도입되고 적어도 상기 제1전극의 측면에 접촉하는 상변화 물질로 이루어진 메모리층을 포함하여 구성될 수 있다.
- <13> 여기서, 상기 제1전극은 상기 메모리층 방향으로 돌출되어 상기 제1전극의 선폭에 비해 좁은 선폭을 가지고 상기 메모리층과 측면이 접촉하는 좁은 선폭 부분을 더 포함하여 구성될 수 있다.
- <14> 상기 제1전극 및 상기 제2전극은 동일한 물질로 이루어지고 대등한 두께를 가지며 상호간에 대등한 높이 수준에 위치할 수 있다.
- <15> 상기의 기술적 과제를 달성하기 위한 본 발명의 다른 일 관점은, 상변화 메모리 소자 제조 방법을 제공한다. 상기 제조 방법은 제1절연층 상에 전극층 패턴을 형성하는 단계와, 상기 전극층 패턴 상에 제2절연층을 형성하는 단계와, 상기 제2절연층 및 상기 전극층 패턴을 관통하여 상기 전극층 패턴을 가열층으로 이용될 제1전극 및 상기 제1전극에 대향되는 제2전극으로 분리하는 콘택홀을 형성하는 단계, 및 상기 콘택홀 내에 상기 콘택홀에 의해서 노출되는 상기 제1전극의 측면 및 상기 제2전극의 측면에 접촉하는 메모리층을 상변화 물질로 형성하는 단계를 포함하여 구성될 수 있다.
- <16> 상기 전극층 패턴을 형성하는 단계는 상기 제1절연층 상에 전극층을 형성하는 단계, 및 상기 제1전극 및 상기 제2전극 사이의 상기 전극층 패턴의 선폭이 상기 제1전

극 쪽에 상대적으로 좁은 선폭 부분이 형성되도록 상기 전극층을 패터닝하는 단계를 포함하고, 상기 콘택홀은 상기 좁은 선폭 부분의 단면이 상기 콘택홀 측벽에 노출되게 형성되어 상기 좁은 부분의 단면이 상기 메모리층과 접촉하게 유도할 수 있다.

<17> 본 발명에 따르면, 최소 부피의 상변화 영역을 가지며 전체적인 특성이 균일하게 재현될 수 있는 상변화 메모리 소자를 제공할 수 있다.

<18> 이하, 본 발명을 구체적인 실시예들의 기재를 통해서 상세히 설명한다. 그러나, 기술되는 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것으로 이해되는 것이 바람직하다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것으로 이해되는 것이 바람직하다. 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 기판의 "상"에 있다라고 기재되는 경우에, 상기 어떤 층은 상기 다른 층 또는 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<19> 본 발명의 실시예들에서는 가열층의 역할을 하는 제1전극과 제1전극에 대향되는 제2전극이 실질적으로 동일한 높이 수준에 형성된 층들로 형성되고, 상호 간에 측방향에 대향되게 위치한 제1전극과 제2전극의 사이에 상변화 물질로 형성된 메모리층이 구현된 상변화 메모리 소자를 제시한다. 이러한 상변화 메모리 소자는 가열층의 역할을 하는 제1전극과 메모리층이 접촉하는 면적이 제1전극의 측면 넓이에 의존하게 된다. 그런데, 이러한 제1전극의 측면 넓이는 제1전극을 패터닝하는 공정에 의한 가로 길이와 제1전극의

두께에 의존하게 된다. 따라서, 제1전극을 패터닝하는 공정의 한계에도 불구하고, 접촉 면적은 제1전극의 두께에 실질적으로 의존하여 매우 작은 면적으로 설정될 수 있다. 이는 제1전극을 이루는 층의 두께는 증착 과정에 의해서 패터닝 과정의 한계 크기 이하로 구현될 수 있기 때문이다. 따라서, 접촉 면적에 의존하는 상변화 영역의 부피는 매우 작아질 수 있어 상변화 메모리 소자는 저 전력 구동이 가능해지게 된다.

<20> 이러한 본 발명에 의한 상변화 메모리 소자를 그 제조 과정의 실시예들을 통해서 보다 구체적으로 설명한다.

<21> 도 1a 내지 도 7b는 본 발명의 제1실시예에 의한 상변화 메모리 소자 및 그 제조 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

<22> 도 1a는 제1절연층(10) 상에 제1전극 패드(20) 및 제2전극 패드(30)를 형성하는 단계를 개략적으로 보여주는 평면도이고, 도 1b는 도 1a의 1 - 1' 절단선을 따르는 단면도이다.

<23> 도 1a 및 도 1b를 함께 참조하면, 제1절연층(10)을 어드레싱 또는 메모리 동작 등을 위한 회로를 구성하는 트랜지스터 소자 또는 다이오드 소자 등이 형성된 반도체 기판(도시되지 않음) 상에 형성한다. 이러한 상변화 메모리 소자의 동작을 위해서 반도체 기판 상에 트랜지스터 소자 또는 다이오드 소자 등이 집적되는 것은 알려진 과정을 통해서 구현될 수 있다.

<24> 제1절연층(10) 상에 포토리소그래피 공정을 수행하여 상기한 회로에의 전기적인 연결을 위한 제1절연층(10)을 관통하는 제1콘택홀을 형성한다. 이후에, 도전 물질, 예컨대, 금속 물질 또는 다른 전도성 막질을 제1절연층(10) 상에 증착하고 에치 백(etch

back) 또는 평탄화하여 제1콘택홀을 채우는 제1연결 콘택(25)을 형성한다. 이러한 제1연결 콘택(25)은 실질적으로 제1전극과 트랜지스터 소자 등을 전기적으로 연결하는 역할을 한다.

<25> 이러한 제1연결 콘택(25)은 이와 같이 플러그(plug) 공정으로 알려진 반도체 공정으로 형성될 수도 있으나, 후속되는 전극 패드층을 증착하는 과정에서 제1콘택홀을 전극 패드층이 채우도록 함으로써도 형성될 수 있다.

<26> 이와 같이 알려진 플러그 공정으로 제1연결 콘택(25)을 형성하였을 경우, 제1연결 콘택(25) 및 제1절연층(10) 상에 금속 또는 전도성 막질로 전극 패드층을 증착하여 형성한다. 전극 패드층은 상기한 제1연결 콘택(25)과는 다른 도전 물질 또는 동일한 물질로도 형성될 수 있다. 이후에 전극 패드층을 패터닝하여 제1전극 패드(20) 및 이에 대향되는 위치에 제2전극 패드(30)를 형성한다. 이와 같이 하나의 공정으로 제1전극 패드(20)와 제2전극 패드(30)가 형성되므로, 실질적으로 제1전극 패드(20)와 제2전극 패드(30)는 대등한 높이 수준에서 상호간에 측방향으로 대향되게 위치하게 된다.

<27> 도 2a는 전극층(40)을 형성하는 단계를 설명하기 위해서 개략적으로 도시한 평면도이고, 도 2b는 도 2a의 2 - 2' 절단선을 따르는 단면도이다.

<28> 도 2a 및 도 2b를 참조하면, 제1전극 패드(20) 및 제2전극 패드(30) 상을 덮는 전극층(40)을 증착한다. 이후에, 전극층(40)을 제1전극 패드(20) 및 제2전극 패드(30) 사이의 선평이 제1전극 패드(20) 등의 선평 보다 상대적으로 좁아지도록 패터닝한다. 이러한 전극층(40)은 확산 방지층으로 작용할 수 있으며, 또한, 상변화 물질에 상변화를 유도하기 위한 가열 과정에서 가열층으로 사용될 수 있다. 특히, 제1전극 패드(20) 상에 증착된 부분은 가열층으로 작용한다. 이러한 전극층(40)은 전도성 전극 막질로 형성되는

데, 예를 들어, 티타늄 알루미늄 나이트라이드(TiAlN), 티타늄 실리콘 나이트라이드(TiSiN), 또는 티타늄 카본 나이트라이드(TiCN) 등과 같은 재료로 형성될 수 있다.

<29> 한편, 도 2a에 묘사된 바와 같이 전극층(40)은 패터닝 시에 제1전극 패드(20)와 제2전극 패드(30) 사이의 부분이 제1전극 패드(20)와 제2전극 패드(30)의 선폭 보다 좁도록 패터닝을 수행하는 것이 바람직하다. 더욱이, 제1전극 패드(20) 쪽의 선폭이 제2전극 패드 쪽의 선폭 보다 좁도록 전극층(40)이 패터닝되는 것이 바람직하다. 이는, 제1전극 패드(20) 상측에 존재하는 전극층(40) 부분이 실질적으로 가열층으로 작용하는 데 있다. 즉, 이는 소자 동작 시에 제1전극 패드(20)쪽의 전극층(40)으로 상변화층, 메모리층이 접촉하는 면 쪽에 보다 많은 전류가 집중되게 하여, 상변화 영역의 부피를 전극층(40)의 일부로 이루어질 제1전극과 상변화 물질이 접촉하는 접촉면 부근으로 충분히 작게 제한하고자 하기 위해서이다.

<30> 도 3a는 전극층(40)을 분리하는 단계를 설명하기 위해서 개략적으로 도시한 평면도이고, 도 3b는 도 3a의 3 - 3' 절단선을 따르는 단면도이다.

<31> 도 3a 및 도 3b를 참조하면, 전극층(40) 상에 제2절연층(50)을 형성하고, 포토리소 그래피 공정을 통해 제2콘택홀(55)을 형성한다. 제2콘택홀(55)은 제1전극 패드(20)와 제2전극 패드(30) 사이의 제1절연층(10) 부분을 노출하도록 형성하여, 전극층(도 2a의 400)이 제1전극 패드(20) 상에 위치하는 부분의 제1전극(41)과 제2전극 패드(30) 상에 위치하는 부분의 제2전극(45)으로 분리되도록 한다. 완전한 분리를 위해서, 제2콘택홀(55)의 선폭은 제1전극 패드(20)와 제2전극 패드(30) 사이의 전극층(40) 부분 보다 넓도록 형성된다. 이때, 제2콘택홀(55)의 측벽에 제1전극(41)의 측면이 도 3a에 도시된 바와

같이 노출되도록 한다. 앞서 설명한 바와 같이 전극층(40)의 제1전극 패드(20) 쪽의 좁은 선폭 부분(43)의 측면이 제2콘택홀(55)의 측벽에 노출되도록 한다.

<32> 한편, 상기 제2절연층(50)은 반도체 공정의 정합성이 좋은 실리콘 산화층(SiO_2)을 사용함이 바람직하며, 보다 우수한 열적 절연 특성을 얻기 위해서는 BPSG 등과 같이 열전도도가 낮은 절연 재료가 사용되어질 수도 있다.

<33> 도 4는 제1전극(41) 및 제2전극(45) 사이에 메모리층(60)을 증착하는 단계를 개략적으로 보여주는 단면도이다.

<34> 도 4를 참조하면, 제2콘택홀(55)에 노출된 제1전극(41) 및 제2전극(45)에 접촉하도록 제2콘택홀(55) 내에 상변화 물질을 증착하여 메모리층(60)을 형성한다. 메모리층(60)은 도 4에 묘사된 바와 같이 제2콘택홀(55)을 완전히 채우지 않고 라이너(liner) 형태로 증착될 수 있다. 이러한 메모리층(60)은 상변화 물질로 많이 사용되어지고 있는 칼코게나이드 합금(chalcogenide alloy), 예컨대, Ge-Sb-Te 계열의 합금이 사용되어질 수 있다.

<35> 도 5a는 메모리층 패턴(65)을 패터닝하는 단계를 개략적으로 보여주는 평면도이고, 도 5b는 도 5a의 5 - 5' 절단선을 따르는 단면도이다.

<36> 도 5a 및 도 5b를 참조하면, 증착된 메모리층(60)은 증착 특성에 의해 제2절연층(50)으로 연장되는 데, 이러한 연장된 부분을 선택적으로 제거하여 메모리층 패턴(65)으로 패터닝한다. 예를 들어, 메모리층(60)을 에치 백(etch back)하거나 화학 기계적 연마(CMP:Chemical Mechanical Polishing)하여, 도 5a에 제시된 바와 같이 제2콘택홀(55)의 측벽에 환형으로 메모리층 패턴(65)을 형성한다. 이러한 패터닝은 포토리소그래

피 공정으로도 수행될 수 있다. 상기한 CMP와 포토리소그래피 공정을 이용할 경우 메모리층 패턴(65)의 형상 균일도를 보다 제고할 수 있다.

<37> 도 6은 메모리층 패턴(65) 상을 덮는 제3절연층(70)을 형성하는 단계를 개략적으로 보여주는 단면도이다. 도 6에 제시된 바와 같이 제3절연층(70)이 제2절연층(50) 상에 실리콘 산화물층 등으로 형성된다.

<38> 도 7a는 제2전극(45)에 전기적으로 연결되는 상부 전극 배선(80)을 형성하는 단계를 개략적으로 보여주는 평면도이고, 도 7b는 도 7a의 7 - 7' 절단선을 따르는 단면도이다.

<39> 도 7a 및 도 7b를 참조하면, 제3절연층(70)을 관통하여 제2전극(45) 상을 선택적으로 노출하는 제3콘택홀(83)을 형성하고, 제3콘택홀(83)을 채우는 전극 배선층을 증착한 후 패터닝하여 상부 전극 배선(80)을 형성한다. 상부 전극 배선(80)은 제3콘택홀(83)을 채우는 제2연결 콘택(81)을 구비하여 제2전극(45)과 전기적으로 연결되게 된다. 이때, 상부 전극 배선(80)은 알루미늄(Al), 티타늄 텅스텐(TiW) 등과 같은 전도성 금속층으로 형성될 수 있다.

<40> 이제까지 설명한 바와 같은 공정 과정으로 형성될 수 있는 본 발명의 실시예에 따른 상변화 메모리 소자는 도 7a 및 도 7b에 제시된 바와 같이, 제1전극(41)과 제2전극(45)이 동일한 층으로 형성되므로, 실질적으로 대등한 높이 수준에서 상호간에 측방향으로 대향되게 배치된다. 제1전극(41)과 제2전극(45) 사이에 도입되는 상변화층, 즉, 메모리층 패턴(65)은 제2콘택홀(55)의 측벽에 노출되는 제1전극(41)의 상대적으로 좁은 선평 부분(43)의 측면과 접촉하게 된다. 따라서, 메모리층 패턴(65)과 제1전극(41)이 접촉하는 면은 이러한 제1전극(41)의 좁은 선평 부분(43)의 측면으로 한정되게 된다. 제1전극

(41)은 실질적으로 가열층으로 이용되므로, 실질적으로 동작 부피는 이러한 제1전극(41)의 좁은 선폭 부분(43)의 측면에 인접하는 메모리층 패턴(65) 부분으로 한정되게 된다.

<41> 이러한 제1전극(41)의 좁은 선폭 부분(43)은 그 폭은 포토리소그래피 공정에 의존하게 되나, 그 두께는 실질적으로 제1전극(41)을 위한 전극층(40)의 증착 두께에 의존하게 된다. 현재 포토리소그래피 공정은 패터닝의 한계를 가지고 있으나, 증착에 의한 층의 두께는 이러한 패터닝의 한계를 뛰어넘어 더욱 작은 수치로 그리고 훨씬 균일하게 구현되는 것이 가능하다. 즉, 박막의 두께는 패턴의 선폭보다 훨씬 작게 그리고 훨씬 균일하게 제어되어질 수 있다. 따라서, 제1전극(41)의 좁은 선폭 부분(43)에 접촉되는 메모리층 패턴(65)의 접촉 면적은 매우 작아질 수 있으며, 또한, 매우 균일하게 제어될 수 있다.

<42> 도 8a 및 도 8b는 본 발명의 제2실시예에 의한 상변화 메모리 소자 및 그 제조 방법을 설명하기 위해서 개략적으로 도시한 도면들이다.

<43> 도 8a 및 도 8b를 참조하면, 제1실시예의 도 3a 및 3b에서 설명한 바와 같이 제2콘택홀(55)을 형성하여 제1 및 제2전극(41, 45) 분리를 수행한 후, 제2콘택홀(55)을 채우도록 메모리층을 형성할 수 있다. 이후에, 메모리층 상을 CMP 등으로 제2절연층(50)의 상측 표면을 노출시키도록 평탄화하여 제2콘택홀(55)을 완전히 채우는 메모리층 패턴(67)을 구현할 수 있다. 이 외에도 상변화 재료를 증착한 후 포토리소그래피를 이용하여 패터닝하는 방법 등 여러 가지 방법으로 상변화 영역을 형성할 수 있다. 하지만, 모든 경우에 상변화 영역의 실제 동작 부피는 제1전극(41)의 단면과의 접촉면 주위로 제한되어진다.

<44> 이상, 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 본 발명은 이에 한정되지 않고, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

【발명의 효과】

<45> 상술한 바와 같은 본 발명에 따르면, 메모리층의 상변화 영역의 실제 동작 부피를 매우 작게 유도하도록, 가열층으로 이용되는 제1전극의 측면과 접촉하는 메모리층 부분으로 실제 동작 부피, 즉, 상변화 영역을 한정할 수 있다. 제1전극의 측면 넓이는 제1전극을 위한 층의 두께에도 의존하므로, 상변화 영역의 부피를 제1전극을 위한 층의 두께에 의존하여 제어하는 것이 가능해진다.

<46> 박막의 두께는 포토리소그래피 공정에 의해서 구현되는 선평보다 더 작은 수치로 제어될 수 있고, 또한, 그 두께는 보다 더 균일하게 제어될 수 있다. 따라서, 상변화 영역의 부피를 보다 작게 그리고 보다 균일하게 제어할 수 있다. 이에 따라, 저 전력 동작이 가능하고, 특히, 반도체 기관 또는 웨이퍼(wafer) 전체적으로 특성이 균일한 상변화 메모리 소자들을 제작하는 것이 가능하다. 또한, 제조 공정 과정에서 소요되는 마스크(mask)의 수 또한 최소화하는 것이 가능하며, 저비용 공정이 가능하며 고집적의 메모리로 제조하는 것이 가능하다.

【특허청구범위】**【청구항 1】**

가열층으로 사용되는 제1전극;

상기 제1전극과 측방향으로 대향되는 제2전극; 및

상기 제1전극과 상기 제2전극의 사이에 도입되고 적어도 상기 제1전극의 측면에 접촉하는 상변화 물질로 이루어진 메모리층을 포함하는 것을 특징으로 하는 상변화 메모리 소자.

【청구항 2】

제1항에 있어서,

상기 제1전극 및 상기 제2전극은 동일한 물질로 이루어지고 대등한 두께를 가지며 상호간에 대등한 높이 수준에 위치하는 것을 특징으로 하는 상변화 메모리 소자.

【청구항 3】

제1항에 있어서,

상기 제1전극은 상기 메모리층 방향으로 돌출되어 상기 제1전극의 선폭에 비해 좁은 선폭을 가지고 상기 메모리층과 측면이 접촉하는 좁은 선폭 부분을 더 포함하는 것을 특징으로 하는 상변화 메모리 소자.

【청구항 4】

제1절연층 상에 전극층 패턴을 형성하는 단계;

상기 전극층 패턴 상에 제2절연층을 형성하는 단계;

상기 제2절연층 및 상기 전극층 패턴을 관통하여 상기 전극층 패턴을 가열층으로 이용될 제1전극 및 상기 제1전극에 대향되는 제2전극으로 분리하는 콘택홀을 형성하는 단계; 및

상기 콘택홀 내에 상기 콘택홀에 의해서 노출되는 상기 제1전극의 측면 및 상기 제2전극의 측면에 접촉하는 메모리층을 상변화 물질로 형성하는 단계를 포함하는 것을 특징으로 하는 상변화 메모리 소자 제조 방법.

【청구항 5】

제4항에 있어서,

상기 전극층 패턴을 형성하는 단계는

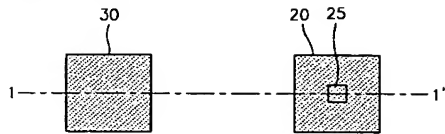
상기 제1절연층 상에 전극층을 형성하는 단계; 및

상기 제1전극 및 상기 제2전극 사이의 상기 전극층 패턴의 선평이 상기 제1전극 쪽에 상대적으로 좁은 선평 부분이 형성되도록 상기 전극층을 패터닝하는 단계를 포함하고,

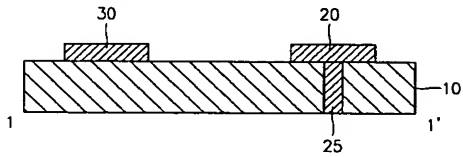
상기 콘택홀은 상기 좁은 선평 부분의 단면이 상기 콘택홀 측벽에 노출되게 형성되어 상기 좁은 부분의 단면이 상기 메모리층과 접촉하는 것을 특징으로 하는 상변화 메모리 소자 제조 방법.

【도면】

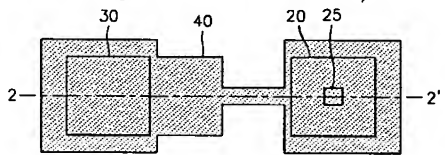
【도 1a】



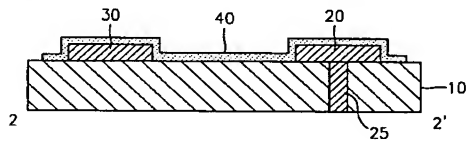
【도 1b】



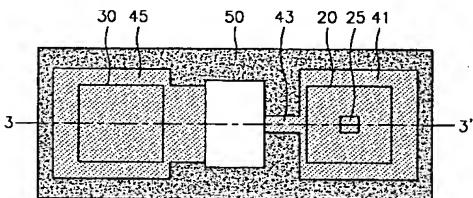
【도 2a】



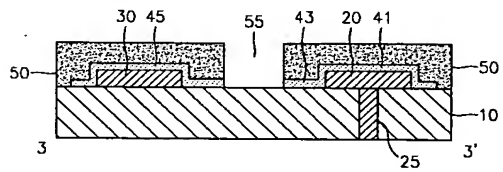
【도 2b】



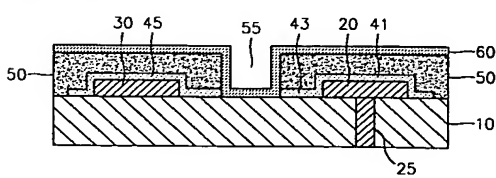
【도 3a】



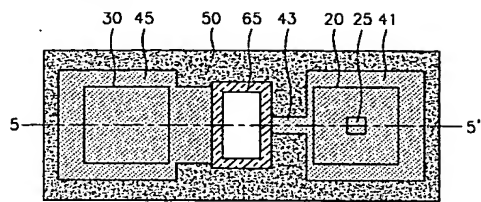
【도 3b】



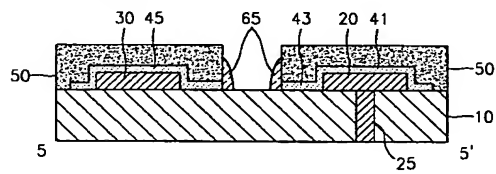
【도 4】



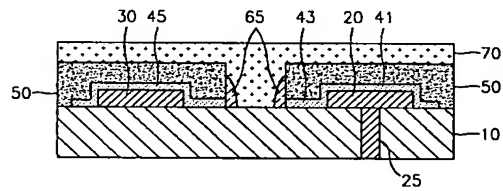
【도 5a】



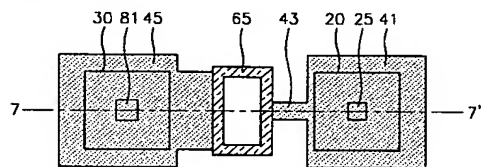
【도 5b】



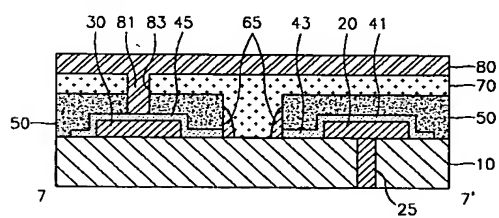
【도 6】



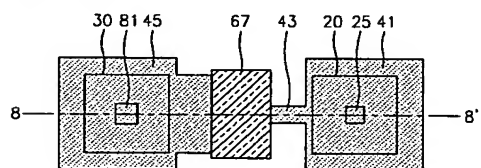
【도 7a】



【도 7b】



【도 8a】



【도 8b】

